

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284358

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

H01L 21/3205

H01L 21/285

H01L 21/288

(21)Application number : 2000-096474

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.03.2000

(72)Inventor : SAKAI HISAYA
SHIMIZU NORIYOSHI
OTSUKA NOBUYUKI

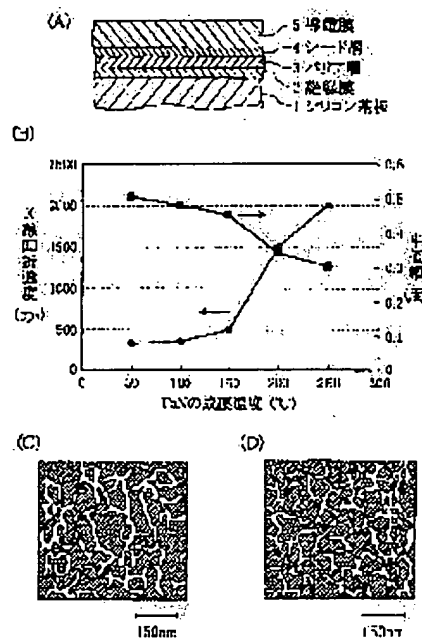
(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device which suppresses the increase of the resistance and forms a copper wiring, having high adhesion to a base surface.

SOLUTION: A semiconductor substrate is prepared, on the surface of which an insulation film having openings is formed. Ta or TaN barrier layer is formed, so as to cover the surface of the insulation film and inner surfaces of the openings. This layer is formed by sputtering at a substrate temperature of 200° C higher or depositing through sputtering at a substrate temperature lower than 200° C and heat treating at temperatures of 200° C higher, or depositing through sputtering at a substrate temperature of 200° C or higher and exposing the Ta film to a nitrogen plasma for nitrifying it. A copper seed layer is formed on the barrier layer. A copper conductive film is formed on the seed layer through plating.

第1の実施例



LEGAL STATUS

[Date of request for examination] 25.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-284358

(P 2 0 0 1 - 2 8 4 3 5 8 A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H01L 21/3205		H01L 21/285	S 4M104
21/285			R 5F033
	301	21/288	E
21/288		21/88	R
			M
審査請求 未請求 請求項の数 5 O L (全 8 頁)			

(21) 出願番号 特願2000-96474 (P 2000-96474)

(22) 出願日 平成12年3月31日 (2000. 3. 31)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 酒井 久弥

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 清水 紀嘉

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100091340

弁理士 高橋 敬四郎

最終頁に続く

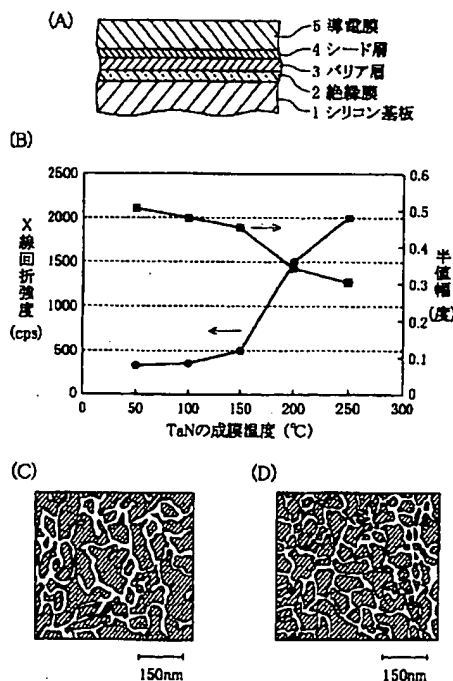
(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【要約】

【課題】 抵抗の増加を抑制し、かつ下地表面との密着性の高い銅配線を形成することが可能な半導体装置の製造方法を提供する。

【解決手段】 開口を有する絶縁膜が、表面上に形成された半導体基板を準備する。絶縁膜の表面及び開口の内面を覆うように、TaもしくはTa₂Nからなるバリア層を形成する。このバリア層は、基板温度200℃以上の条件でスパッタリングにより形成されるか、または基板温度200℃未満の条件でスパッタリングにより堆積した後に200℃以上の温度で熱処理して形成されるか、または基板温度200℃以上の条件でTa膜をスパッタリングにより堆積した後に該Ta膜を窒素プラズマに曝して窒化して形成される。バリア層の上に、銅からなるシード層を形成する。シード層の上に、銅からなる導電膜を、めっきにより形成する。

第1の実施例



【特許請求の範囲】

【請求項 1】 開口を有する絶縁膜が、表面上に形成された半導体基板を準備する工程と、

前記絶縁膜の表面及び前記開口の内面を覆うように、Ta もしくは TaN からなるバリア層を形成する工程であって、該バリア層を、基板温度 200℃ 以上の条件でスパッタリングにより形成するか、または基板温度 200℃ 未満の条件でスパッタリングにより堆積した後に 200℃ 以上の温度で熱処理して形成するか、または基板温度 200℃ 以上の条件で Ta 膜をスパッタリングにより堆積した後に該 Ta 膜を窒素プラズマに晒して窒化して形成する工程と、

前記バリア層の上に、銅からなるシード層を形成する工程と、

前記シード層の上に、銅からなる導電膜を、めっきにより形成する工程とを有する半導体装置の製造方法。

【請求項 2】 前記バリア層を形成する工程の後、前記シード層を形成する工程の前に、さらに、前記バリア層の表面上に、Zr、Cd、Ag、Pb、Zn、ZrN からなる群より選択された少なくとも一つの材料からなる密着層を形成する工程を含み、前記シード層を形成する工程において、該シード層を前記密着層上に形成する請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記半導体基板を準備する工程が、半導体基板の表面上に、絶縁膜を形成する工程と、前記絶縁膜に開口を形成し、該開口の底面に導電性領域を露出させる工程とを含み、前記導電膜を形成する工程の後、さらに、前記半導体基板上に形成されている膜を研磨し、前記絶縁膜の上面を露出させるとともに、前記開口内に、前記導電膜の一部を残す工程を有する請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】 前記バリア層を形成する工程において、Ta をターゲットとし、スパッタガスとしてアルゴンと窒素とを含む混合ガスを用い、成膜終了時におけるスパッタガス中の窒素分圧が、成膜開始時における窒素分圧よりも高くなるように制御して成膜を行う請求項 1～3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】 半導体基板と、前記半導体基板の上に形成され、部分的に開口が設けられた絶縁膜と、

前記基板の上に TaN により形成され、上面近傍における N の組成比が基板との界面近傍における N の組成比よりも大きいバリア層と、

前記バリア層の上に形成された銅からなる導電層とを有する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に銅からなる導電膜を、めっきにより形

成する工程を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】 高集積化され微細化された半導体集積回路装置の配線材料として、低抵抗で高いエレクトロマイグレーション耐性を有する銅 (Cu) が注目されている。以下、従来の銅配線の形成方法について説明する。

【0003】 半導体基板上に層間絶縁膜を形成し、この層間絶縁膜にビアホールや配線溝を形成する。層間絶縁膜の上面、及びビアホールや配線溝の内面を、バリア層で覆う。バリア層上に銅からなるシード層を形成する。このシード層上に銅膜を電解めっきにより形成する。層間絶縁膜の上面が露出するまで化学機械研磨 (CMP) を行い、ビアホールや配線溝内に銅膜の一部を残す。このような配線の形成方法は、ダマシン法と呼ばれている。

【0004】

【発明が解決しようとする課題】 上述のバリア層の材料として、例えばタンタル (Ta) や窒化タンタル (TaN) 等が用いられる。このとき、バリア層とシード層との界面の密着性が十分でないため、研磨時に生ずる機械的応力により、めっきされた銅膜が剥離しやすい。

【0005】 また、バリア層上にシード層を形成する際に、銅の凝集現象が生じ、シード層のカバレッジ率が低下する。カバレッジ率の低いシード層上に銅をめっきすると、銅膜中に空孔が生じやすい。めっき前にバリア層が露出していると、バリア層の表面がめっき液に接触してしまい、バリア層と銅膜との界面が劣化する。銅膜中の空孔や界面の劣化は、銅配線の信頼性低下の原因になる。

【0006】 特開平 11-238794 号公報に、銅配線の信頼性を高めることができる配線形成方法が開示されている。この方法によると、層間絶縁膜の上面を密着層で覆い、密着層と層間絶縁膜との積層構造にビアホールを形成する。露出している表面をバリア層で覆い、異方性エッチングを行う。この異方性エッチングにより、ビアホールの底面及び密着層の表面上に堆積しているバリア層が除去され、ビアホールの側面上にのみバリア層が残る。この状態で、銅からなるシード層を形成し、さらに、銅配線層をめっきにより形成する。

【0007】 ところが、この方法では、密着層を形成した後、シード層を形成するまでに、ビアホールの形成工程及び異方性エッチングの工程が行われる。従って、密着層の表面が大気に晒されることになる。密着層の表面が一旦大気に晒されると、密着層としての機能が低下し十分な効果を発揮できなくなる。

【0008】 本発明の目的は、抵抗の増加を抑制し、かつ下地表面との密着性の高い銅配線を形成することが可能な半導体装置の製造方法を提供することである。

【0009】

【課題を解決するための手段】 本発明の一観点による

と、開口を有する絶縁膜が、表面上に形成された半導体基板を準備する工程と、前記絶縁膜の表面及び前記開口の内面を覆うように、TaもしくはTa₂N₃からなるバリア層を形成する工程であって、該バリア層を、基板温度200℃以上の条件でスパッタリングにより形成するか、または基板温度200℃未満の条件でスパッタリングにより堆積した後に200℃以上の温度で熱処理して形成するか、または基板温度200℃以上の条件でTa膜をスパッタリングにより堆積した後に該Ta膜を窒素プラズマに晒して窒化して形成する工程と、前記バリア層の上に、銅からなるシード層を形成する工程と、前記シード層の上に、銅からなる導電膜を、めっきにより形成する工程とを有する半導体装置の製造方法が提供される。

【0010】上述の条件で形成したバリア層は、比較的高い結晶性を有する。その上にシード層を形成すると、成長時の銅の凝集を抑制することができる。さらに、導電膜の密着性を高めることができる。

【0011】

【発明の実施の形態】図1を参照して、本発明の第1の実施例による半導体装置の製造方法について説明する、図1(A)に示すように、シリコン基板1の表面上に、酸化シリコンからなる絶縁膜2を、例えば化学気相成長(CVD)により形成する。絶縁膜2の表面上に、窒化タンタル(Ta₂N₃)からなる厚さ30nmのバリア層3を形成する。バリア層3の形成は、TaのターゲットをArとN₂との混合ガスを用いてスパッタリングすることにより行われる。なお、成膜時の基板温度を50~250℃の範囲内で変化させて複数の試料を作製した。

【0012】バリア層3の表面上に、銅(Cu)からなる厚さ100~300nmのシード層4を形成する。シード層4の形成は、基板温度を100℃とし、CuのターゲットをArガスをを用いてスパッタリングすることにより行われる。シード層4の表面上に、Cuからなる導電膜5を電解めっきにより形成する。

【0013】図1(B)は、Ta₂N₃からなるバリア層3のX線回折による分析結果を示す。横軸は、バリア層3の成膜時の基板温度を単位「℃」で表し、左縦軸は、Ta₂N₃の(101)面に対応する回折光の強度を単位「cps」で表し、右縦軸は、Ta₂N₃の(101)面のロックンギンカーブの半値幅を単位「度」で表す。図中の黒丸が回折光の強度を示し、黒四角がロックンギンカーブの半値幅を示す。

【0014】バリア層3の成膜温度を150℃以下として作製した試料においては、回折光の強度が低く、成膜温度を200℃以上として作製した試料においては、回折光の強度が高いことがわかる。また、回折光の強度が高くなるに従って、ロックンギンカーブの半値幅が小さくなっている。この分析結果から、基板温度を200℃以上にしてバリア層3を形成することにより、バリア層3

の結晶性が高められることがわかる。

【0015】図1(C)は、基板温度300℃で成膜したTa₂N₃バリア層3の上に、基板温度を100℃としてスパッタリングにより形成した厚さ10nmの銅膜の表面の電子顕微鏡写真をスケッチした図である。参考のために、図1(D)に、室温で成膜したTa₂N₃膜の上に、図1(C)の場合と同一の条件で形成した銅膜の表面の顕微鏡写真をスケッチした図を示す。

【0016】図1(C)及び(D)のハッチを付した部分が、銅膜の形成されている部分に相当し、ハッチを付していない部分には、下地のバリア層3が露出している。図1(C)の場合は、基板面内方向への成長が促進されていることがわかる。これは、下地のTa₂N₃からなるバリア層3の結晶性が高いため、バリア層3の表面の濡れ性が高くなり、Cuの凝集が抑制されたためと考えられる。

【0017】Ta₂N₃からなるバリア層3の成膜温度を200℃以上としてTa₂N₃の結晶性を高めることにより、バリア層3とシード層4との密着性が高まると予測される。実際に、バリア層3の成膜温度を200℃として作製した複数の試料のテープテストを行ったところ、銅からなる導電膜5の剥がれは生じなかった。これに対し、成膜温度を25℃として作製した複数の試料のテープテストを行ったところ、約70%の試料で導電膜5の剥がれが生じた。

【0018】上述のように、Ta₂N₃からなるバリア層3の成膜温度を200℃以上とすることにより、Cuからなる導電膜5の密着性を高めることができる。また、シード層4を形成する際のCuの凝集を抑制できるため、導電膜5内の空孔の発生を防止することができる。

【0019】上記第1の実施例では、バリア層3の成膜温度を200℃としたが、成膜温度を200℃未満とし、成膜後に熱処理を行ってTa₂N₃の結晶性を高めてもよいであろう。

【0020】図2に、室温で成膜し、その後熱処理を行ったTa₂N₃膜のX線回折による分析結果を示す。横軸は、成膜後の熱処理温度を単位「℃」で表し、左縦軸は、Ta₂N₃の(101)面に対応する回折光の強度を単位「cps」で表し、右縦軸は、(101)面のロックンギンカーブの半値幅を単位「度」で表す。図中の黒丸が回折光の強度を示し、黒四角がロックンギンカーブの半値幅を示す。

【0021】成膜後の熱処理温度を200℃以上とすると、Ta₂N₃膜の結晶性が高まっていることがわかる。なお、熱処理時間は、いずれの場合も10分である。

【0022】実際に、Ta₂N₃膜を室温で堆積し、その後200℃で10分間の熱処理を行ってバリア層3を形成した複数の試料についてテープテストを行ったところ、導電膜5の剥がれは生じなかった。Ta₂N₃膜を成膜した後に、200℃以上の温度で熱処理を行ってバリア層を

形成しても、上記第1の実施例の場合と同様の効果を得られることがわかる。

【0023】上記第1の実施例では、反応性スパッタリングによりTa₂Nからなるバリア層3を形成したが、以下に示す他の方法で形成してもよい。例えば、基板温度を200℃以上としてTa膜をスパッタリングにより形成し、このTa膜を窒素プラズマに晒して窒化することによってTa₂N膜を形成してもよい。

【0024】また、バリア層3としてTa₂Nの代わりにTaを用いてもよい。この場合、Ta膜の成膜温度を200℃以上とするか、もしくは成膜後に200℃以上の熱処理を行うことにより、第1の実施例の場合と同様の効果が確認された。

【0025】次に、図3及び図4を参照して、第2の実施例による半導体装置の製造方法について説明する。

【0026】図3(A)は、第2の実施例による方法で作製された積層構造の断面図を示す。バリア層3とシード層4との間にジルコニウム(Zr)からなる厚さ10nmの密着層6が配置されている。その他の構成は、図1(A)に示した第1の実施例の場合と同様である。密着層6の形成は、基板温度を室温とし、ZrのターゲットをArガスをを用いてスパッタリングすることにより行われる。Ta₂Nからなるバリア層3を、基板加熱を行って成膜した試料と、室温でTa₂N膜を形成し、その後熱処理を行ってバリア層3を形成した試料とを作製した。

【0027】図3(B)は、これらの試料の密着層6を、X線回折により分析した結果を示す。横軸は、バリア層3の成膜温度もしくはTa₂N膜の熱処理温度を単位「℃」で表し、縦軸は、Zrの(101)面に対応する回折光の強度を単位「cps」で表す。図中の黒丸が、基板加熱を行ってバリア層3を形成した試料に対応し、黒四角が、Ta₂N膜の成膜後に熱処理を行ってバリア層3を形成した試料に対応する。バリア層3の成膜温度を200℃以上とするか、または成膜後の熱処理温度を200℃以上とすることにより、Zrからなる密着層の結晶性が高まっていることがわかる。

【0028】図3(C)及び(D)は、密着層6の表面上に、厚さが10nmになるように銅膜を形成した場合の基板表面の電子顕微鏡写真をスケッチした図を示す。図3(C)は、Ta₂Nからなるバリア層3の成膜温度を300℃とした場合のものであり、図3(D)は、バリア層3の成膜温度を室温とした場合である。

【0029】図3(C)及び(D)のハッチを付した部分が、銅膜の形成されている部分に相当し、ハッチを付していない部分に、下地の密着層6が露出している。図3(C)の場合は、基板面内方向への成長が促進されていることがわかる。これは、下地のZrからなる密着層6の結晶性が高いために、Cuの凝集が抑制されたためと考えられる。

【0030】図4は、密着層6上に、厚さが10nmに

なるように銅膜を形成した試料のシート抵抗の、成膜温度依存性を示す。横軸は、銅膜の成膜温度を単位「℃」で表し、縦軸は、シート抵抗を単位「Ω/□」で表す。図中の白丸は、バリア層3の成膜温度を300℃とした試料に対応し、黒丸は、バリア層3の成膜温度を室温とした場合に対応する。

【0031】銅膜の成膜温度が120℃以下の場合には、両者に差は見られない。銅膜の成膜温度を約170℃とすると、バリア層3を室温で成膜した試料の銅膜のシート抵抗が、バリア層3を300℃で成膜した試料の銅膜のシート抵抗よりも高くなっている。シート抵抗が増加したのは、銅膜の成膜時に個々のCu結晶の凝集が大きくなり、結晶粒同士の接触面積が小さくなったためと考えられる。

【0032】バリア層3の成膜温度を300℃とした場合には、図3(B)に示したように、密着層6の結晶性が高くなる。これにより、銅膜の成膜時における密着層6の表面の濡れ性が高くなり、Cuの凝集が抑制されるため、抵抗の増加が見られなかったと考えられる。

【0033】図3(C)及び図4では、バリア層3の成膜温度を300℃とした場合を示したが、バリア層3の成膜温度を200℃以上とすればバリア層3の結晶性が高まるため、同様の効果が得られるであろう。

【0034】上述の分析結果から、密着層6の結晶性を高めることにより、密着層6とシード層4との密着性が高まると予測される。実際に、バリア層3の成膜温度を200℃として作製した複数の試料のテープテストを行ったところ、銅からなる導電膜5の剥がれは生じなかった。これに対し、成膜温度を25℃として作製した複数の試料のテープテストを行ったところ、約80%の試料で導電膜5の剥がれが生じた。

【0035】上述のように、Ta₂Nからなるバリア層3の成膜温度を200℃以上とすることにより、その上の密着層6の結晶性が高まり、Cuからなる導電膜5の密着性を高めることができる。また、シード層4を形成する際のCuの凝集を抑制できるため、導電膜5内の空孔の発生を防止することができる。

【0036】上記第2の実施例では、密着層6を形成した後、基板を大気に晒すことなくシード層4を連続的に成膜することが可能である。このため、密着層6の表面の酸化による密着性の低下を防止することができる。

【0037】一般に、Cuと密着性の高い金属は、熱処理によって銅内に拡散し合金を形成しやすい。合金が形成されると、銅膜の抵抗が低下してしまう。ところが、第2の実施例で用いたZrの、Cuに対する固溶限は約0.15重量%であり、非常に小さい。このため、密着層6を形成するZrが導電膜5内へ拡散する量は少ない。従って、Zrからなる密着層6を銅膜に直接接触させても、合金化による抵抗の上昇は小さい。

【0038】上記実施例では、密着層6としてZrを用

いたが、ZrNを用いてもよい。その他に、Cuへの固溶限の小さい材料、例えばCd、Ag、Pb等を用いてもよい。また、Znは、Cuへの固溶限が比較的大きな材料であるが、Cuと合金化しても抵抗の増加は少ない。このため、密着層としてZnを用いてもよいであろう。また、上記第2の実施例では、バリア層3としてTa₂Nを用いたが、Ta₂Nの代わりにTaを用いても同様の効果を得られることが確認された。

【0039】本発明者らの実験によると、Ta₂N膜上にCu膜を形成する場合、Ta₂N膜中のNの組成比を高くすると、両者の密着性が高まることがわかった。従って、図1(A)に示すTa₂Nからなるバリア層3のうちシード層4側の部分におけるNの組成比を、基板側の部分におけるNの組成比よりも高くすることにより、密着性をより高めることができる。

【0040】このような組成比の分布を有するバリア層3は、Ta膜を形成した後に、このTa膜を窒化することによって得られる。また、Taのターゲットを、ArとN₂との混合ガス中でスパッタリングする場合、N₂ガスの分圧比を徐々に高めることによって、このようなバリア層3を形成することができる。

【0041】次に、図5を参照し、上記第1及び第2の実施例による半導体装置の製造方法を適用して、ダマシン法により銅配線を形成する方法を説明する。

【0042】図5(A)に示すように、酸化シリコンからなる層間絶縁膜20の上層部の一部に配線21が形成されている。配線21及び層間絶縁膜20の表面を覆うように酸化シリコンからなる層間絶縁膜22を堆積する。層間絶縁膜22の堆積は、例えば、CVDにより行う。

【0043】図5(B)に示すように、層間絶縁膜22に、配線21の表面の一部を露出させるビアホール23を形成する。

【0044】図5(C)に示すように、層間絶縁膜22に、ビアホール23と部分的に重なる配線用の溝25を形成する。配線溝25は、層間絶縁膜22の厚さよりも浅い。溝25の底面の一部にビアホール23が開口する。ビアホール23及び配線溝25の形成は、例えばエッチングガスとしてCF₄を用いたドライエッチングにより行う。

【0045】図5(D)に示すように、ビアホール23と配線溝25の内面、及び層間絶縁膜22の表面上に、バリア層30を形成する。バリア層30の形成は、図1(A)の第1の実施例で説明したバリア層3の形成と同様の方法で行う。バリア層30の表面上に、Cuからなるシード層31を形成する。シード層31の形成は、図1(A)のシード層4の形成と同様の方法で行う。シード層31の上に、Cuからなる導電層32を、電解めっきにより形成する。

【0046】図5(E)に示すように、バリア層30か

ら導電層32までの積層構造のうち不要部分をCMPにより除去し、表面を平坦化する。ビアホール23及び配線溝25内にのみ、バリア層30a、シード層31a、及び導電層32aが残る。このようにして、バリア層30a、シード層31a、及び導電層32aからなる配線35が形成される。導電層32の密着性が高いため、CMP時における導電層32の剥がれを防止できる。

【0047】なお、図3(A)に示した第2の実施例の場合のように、バリア層30とシード層31との間に、Zr等からなる密着層を配置してもよい。

【0048】図6は、上記実施例による銅配線の形成方法を適用した半導体装置の断面図を示す。シリコン基板50の表面にフィールド酸化膜52が形成され、活性領域が画定されている。活性領域内に、MOSFET51が形成されている。この基板の表面上に、5層の配線層61A~61Eが形成されている。各配線層は、それぞれ層間絶縁膜60A~60Eにより相互に絶縁されている。層間絶縁膜60A~60Eの各々とそれに対応する配線層61A~61Eは、図5で説明した層間絶縁膜22及び銅配線35の形成と同様の方法で形成される。

【0049】各配線層61A~61Eは、Al配線に比べて低抵抗であるため、信号伝搬速度を速くし、処理速度の高速化を図ることができる。さらに、高いエレクトロマイグレーション耐性を得ることができるため、半導体装置の信頼性を向上させることが可能になる。

【0050】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0051】

【発明の効果】以上説明したように、本発明によると、TaもしくはTa₂Nからなるバリア層の結晶性を高めることにより、その上に形成する銅膜の密着性を高めることができる。この銅膜をダマシン法に適用する場合、CMP時の銅膜の剥がれを防止することができる。

【図面の簡単な説明】

【図1】図1(A)は、第1の実施例による半導体装置の製造方法により作製された積層構造の断面図であり、

図1(B)は、バリア層のX線回折の結果を示すグラフであり、図1(C)は、第1の実施例によるバリア層上に銅膜を形成した場合の基板表面の顕微鏡写真をスケッチした図であり、図1(D)は、参考例によるバリア層上に銅膜を形成した場合の基板表面の顕微鏡写真をスケッチした図である。

【図2】第1の実施例の変形例による方法で作製したバリア層のX線回折結果を示すグラフである。

【図3】図3(A)は、第2の実施例による半導体装置の製造方法により作製された積層構造の断面図であり、

図3(B)は、密着層のX線回折の結果を示すグラフで

あり、図3(C)は、第2の実施例による密着層上に銅膜を形成した場合の基板表面の顕微鏡写真をスケッチした図であり、図1(D)は、参考例による密着層上に銅膜を形成した場合の基板表面の顕微鏡写真をスケッチした図である。

【図4】第2の実施例及び比較例による方法で作製した密着層上に銅膜を堆積した状態におけるシート抵抗を示すグラフである。

【図5】ダマシン法による銅配線の形成方法を説明するための配線層の断面図である。

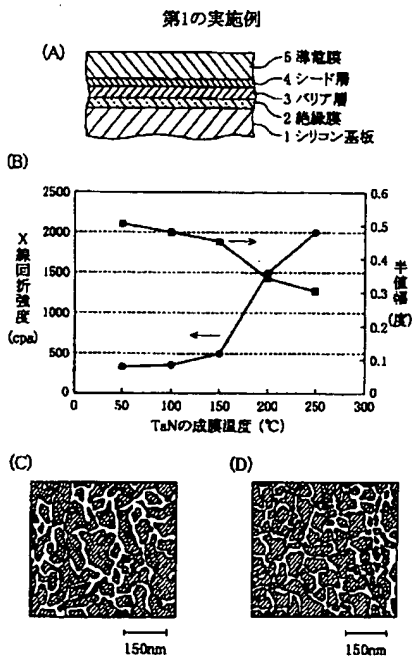
【図6】ダマシン法で形成した多層配線を有する半導体装置の断面図である。

【符号の説明】

- 1 シリコン基板
- 2 絶縁膜
- 3 バリア層

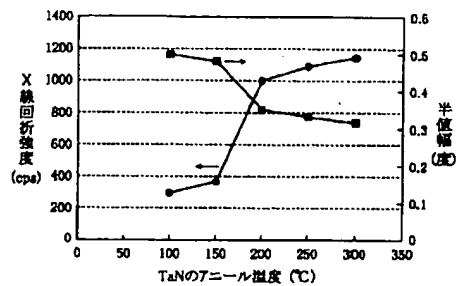
- 4 シード層
- 5 導電膜
- 6 密着層
- 20、22 層間絶縁膜
- 21 下層配線
- 23 ビアホール
- 30 バリア層
- 31 シード層
- 32 導電層
- 35 配線
- 50 シリコン基板
- 51 MOSFET
- 52 フィールド酸化膜
- 60A~60E 層間絶縁膜
- 61A~61E 配線層

【図1】

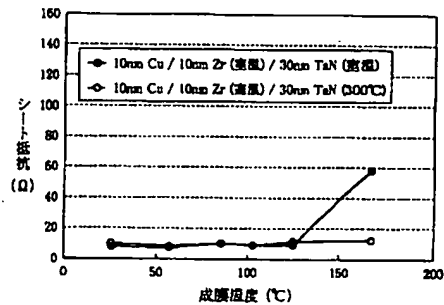


【図2】

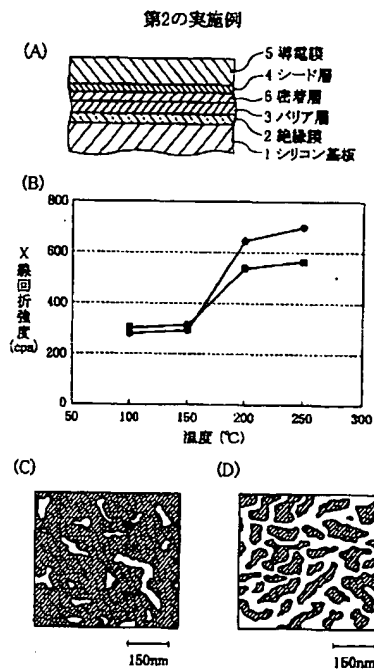
第1の実施例の変形例



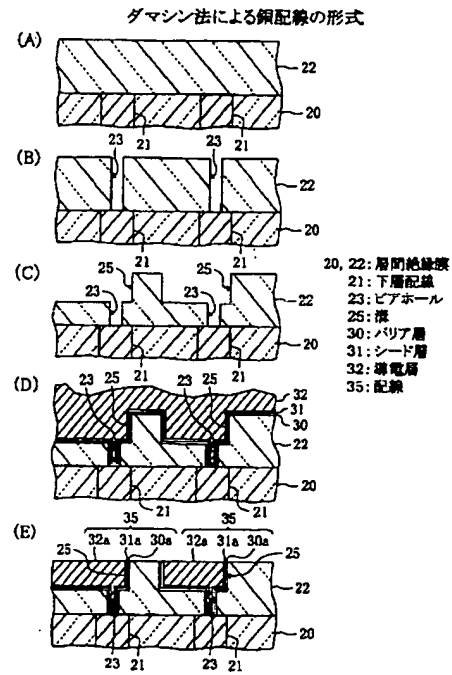
【図4】



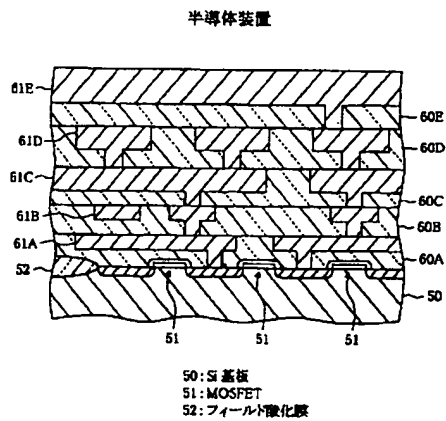
【図 3】



【図 5】



【図 6】



フロントページの続き

(72)発明者 大塚 信幸
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Fターム(参考) 4M104 AA01 BB17 BB32 BB38 CC01
DD37 DD42 DD52 FF17 FF18
FF22 HH08 HH16
5F033 HH07 HH11 HH14 HH17 HH21
HH32 JJ07 JJ11 JJ14 JJ17
JJ21 JJ32 KK01 KK07 KK11
KK14 KK17 KK21 KK32 LL09
MM02 MM08 MM12 MM13 NN06
NN07 PP15 PP16 PP27 QQ09
QQ11 QQ37 QQ48 QQ73 QQ90
RR04 SS11 WW03 XX10 XX24

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.